

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-302818

(43)Date of publication of application : 28.10.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 05-090220 (71)Applicant : KAWASAKI STEEL CORP

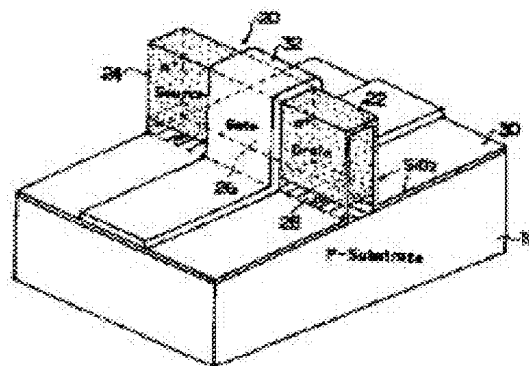
(22)Date of filing : 16.04.1993 (72)Inventor : TADA YOSHIHIDE

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To provide a semiconductor device wherein, in a verticaltype ultrathin- film transistor, the influence of a short-channel effect is excluded and the good switching characteristic of the transistor is obtained.

**CONSTITUTION:** A protrusion part 20 is formed at the upper part of a substrate 10, a drain region 22 and a source region 24 are formed on both sides of the protrusion part 20, and a channel region 26 is formed in a region sandwiched between the drain region 22 and the source region 24. In addition, the surface of the substrate 10 and of the protrusion part 20 are covered wholly with an oxide film 30 formed of SiO<sub>2</sub>, and a gate electrode 32 is formed on the surface of the channel region 26. In addition, an element isolation part 28 as a part of the substrate 10 is formed at the lower part of the protrusion part 20, and the element isolation part 28 is formed as a p<sup>+</sup> type region. As a result, the potential at the lower part of the channel region 26 does not become high as compared with that in other channel parts due to the influence of a drain electric field via a depletion layer at a part lower than it, and the part is not set to an ON state ahead of other channel parts.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-302818

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

9054-4M

H01L 29/78

301 H

9054-4M

301 V

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号

特願平5-90220

(22)出願日

平成5年(1993)4月16日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 多田 ▲吉▼秀

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

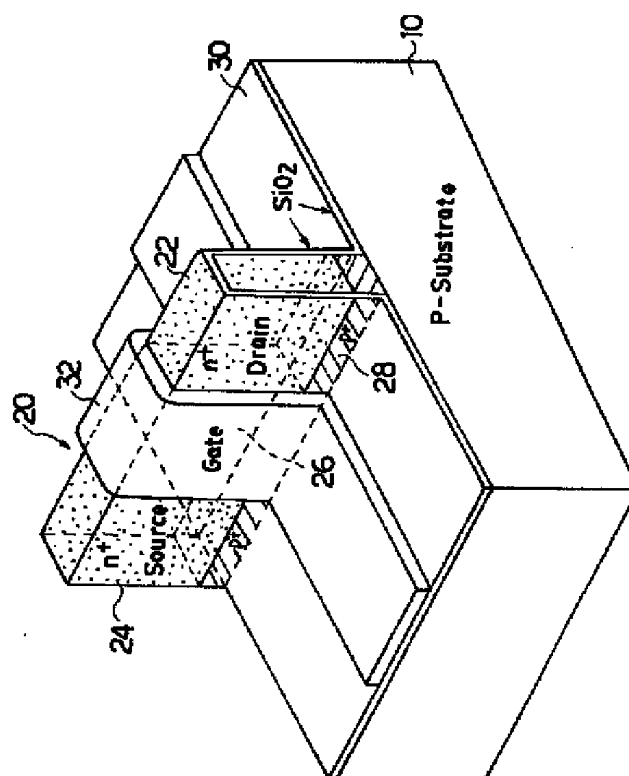
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 縦型超薄膜トランジスタにおいて、短チャネル効果の影響を排除し、良好なトランジスタのスイッチング特性が得られる半導体装置を提供する。

【構成】 基板10の上部には突出部20が形成されており、この突出部20の両側には、ドレイン領域22、ソース領域24が形成されて、このドレイン領域22、ソース領域24に挟まれた領域にチャネル領域26が形成されている。また、基板10および突出部20の表面はすべてSiO<sub>2</sub>で形成される酸化膜30によって覆われており、チャネル領域26の表面にはゲート電極32が形成されている。また、突出部20の下部には基板10の一部である素子分離部28が形成されており、この素子分離部28がp<sup>+</sup>型の領域となっている。このため、チャネル領域26の下方部の電位がそれより下方の空乏層を介したドレイン電界の影響で他のチャネル部分に比べ高くなることがないので、他のチャネル部に先駆けてオンセットされることがない。



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間にチャンネル領域と、を設け、そのチャンネル領域に絶縁体膜を介して電界を印加するゲート電極を設けた電界トランジスタを有する半導体装置であって、前記チャンネル領域の下方部は、その上部に比べ不純物濃度が濃いことを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体基板上にMOSトランジスタなどの素子を形成する半導体装置に関する。

**【0002】**

**【従来の技術】** 従来より、各種の半導体装置が提案されており、特にMOSトランジスタを内蔵したものが多く利用されている。そして、このような半導体装置においては、その集積度を上昇させるために素子構造の微細化が進んでいる。

**【0003】** ここで、通常の半導体装置は、平板状の半導体基板（例えば、Si基板）の所定の領域に複数のMOSトランジスタ形成している場合が多い。この場合には、ゲート領域を薄い絶縁層を介しゲート電極で覆った状態でその両側の領域にイオンをドーピングして、ソース領域、ドレイン領域を形成しMOSトランジスタを半導体基板の所定領域に形成している。そして、このような半導体装置のMOSトランジスタを微細化していくと、各種の問題が生じる。すなわち、ドレイン付近の電界増加に伴いドレイン空乏層がソース近傍の電位障壁近くまで伸びパンチスルー電流が発生するなどの短チャンネル効果が発生したり、さらにチャンネルの垂直方向の電界が大きくなりキャリアの移動度が小さくなったり、隣接する素子との素子分離が十分行えなくなる等の問題が発生する。従って、従来の半導体装置では、そのゲート長をサブミクロン程度以下とすると、十分な性能、信頼性を保持できないという問題点があった。

**【0004】** そこで、これらの問題点を解決するために、本願発明者らは超薄膜トランジスタに類似の効果を得られる半導体装置として、Si基板上に突起部を設け、その突出部内にソース、チャンネル、ドレイン領域を設ける縦型超薄膜トランジスタを特願平4-17176号で提案している。すなわち、この縦型超薄膜トランジスタは、Si基板上に突起部を異方性エッチングによって形成している。そして、絶縁体膜（いわゆる、ゲート酸化膜）を介し配置されたゲート電極が、この突起部の中央部分にカバーしており、ゲート電極の内側をチャンネル領域とし、その両側がドレイン領域、ソース領域とされている。そして、ゲート電極の電位を変更することにより、チャンネル領域の状態を変化させ、ソース及びドレ

イン領域間の導通を制御できる。一方、ドレイン領域、ソース領域及びチャンネル領域の下方に、基板の組成がそのまま残る素子分離部を形成している。この素子分離部は基板の一部である。そこで、衝突電離によって発生する基板と同極性の余剰キャリア（例えば、ソース・ドレイン領域が $n^+$ 型領域の場合、正孔）が基板に排出されることになり、チャンネル領域に溜まることのない。従って、SOI構造トランジスタに見られるような余剰キャリアの蓄積に伴うキンク（Kink）現象の発生がなく、また余剰の正孔による疑似短チャンネル効果の発生が抑制される。また、消費電力により発生した熱が基板に容易に拡散するため、SOIで問題となるチャンネル領域の加熱を防止することができる。

**【0005】**

**【発明が解決しようとする課題】** しかしながら、上述の縦型超薄膜トランジスタにおいても、チャンネル領域の下方部では、短チャンネル効果が発生してしまう。すなわち、未だトランジスタがオンの状態になっていない状態でソースまたはドレイン領域のどちらかに電圧を印加したときには、図4に示されるような不均衡な空乏層14が発生する。例えば、ドレイン領域22に5Vを印加すると、ドレイン領域22とその下のSi基板側に形成された空乏層は、ソース領域24とその下のSi基板側に形成された空乏層に比べ、大きな空乏層となる。チャンネル領域26の下方部は、この大きな空乏層を介してドレイン領域22からソース領域24に複数の電気力線16が発生し、他のチャンネル部分に比べ電位が高くなってしまふ。従って、この下方部は閾値電圧（ $V_{th}$ ）が低くなり、他のチャンネル部分に先駆けてオンセットされてしまい、トランジスタのスイッチング特性が悪化するという問題点があった。

**【0006】** また、ソースまたはドレイン領域のどちらかに電圧を印加し、未だトランジスタがオンの状態になっていない時に、その電圧が印加された領域の下端とSi基板との界面付近からリーク電流が印加されていない方の領域に流れてしまうという問題点があった。

**【0007】** 本発明は、上記問題点を解決することを課題としてなされたものであり、縦型超薄膜トランジスタにおいて、短チャンネル効果の影響を排除し、良好なトランジスタのスイッチング特性が得られる半導体装置を提供することを目的とする。

**【0008】**

**【課題を解決するための手段】** 本発明に係る半導体装置は、半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間にチャンネル領域とを設け、そのチャンネル領域に絶縁体膜を介して電界を印加するゲート電極を設けた電界トランジスタを有する半導体装置であって、前記チャンネル領域の下方部は、その上部に比べ不純物濃度が濃いことを特徴とする。

## 【0009】

【作用】本発明に係る半導体装置において、チャンネル領域の下方部の不純物濃度をその上部に比べ濃くする、またはチャンネル領域の下方部及びその付近の半導体基板の不純物濃度をチャンネル領域の中央部から上方の部分に比べ濃くしたので、ドレイン領域に電圧を印加しても、ドレイン領域とその下のSi基板側に発生する空乏層の大きさを小さく抑えることができ、チャンネル領域下部の電位への影響を抑制することができる。このため、チャンネル領域の下方部は、他のチャンネル部分と同様の電位となり、チャンネル領域の電界は一樣になる。従って、この下方部の閾値電圧( $V_{th}$ )は高くなり、他のチャンネル部分に先駆けてオンセットすることがない。

【0010】また、ソースまたはドレイン領域のどちらかに電圧を印加し、未だトランジスタがオンの状態になっていない時に、その電圧が印加された領域の下端とSi基板との界面付近からリーク電流が印加されていない方の領域に流れることを抑制する。

## 【0011】

【実施例】以下、本発明に係る半導体装置について、図面に基づいて説明する。

【0012】図1は、上述のようにして製造された半導体装置の一実施例の構成を説明するための斜視図である。

【0013】p型のSi基板10の上部には、突出部20が形成されている。そして、この突出部20の両側には、n+型のドレイン領域22、n+型のソース領域24が形成されており、このドレイン領域22、ソース領域24に挟まれた領域に基板10と同じp型のチャンネル領域26が形成されている。そして、これらドレイン領域22、ソース領域24、チャンネル領域26はその下端が突出部20内に収まっており、突出部20の下部には基板10の一部である素子分離部28が形成されている。

【0014】本発明の特徴的なことは、この素子分離部28がp+型の領域となっていることである。このため、ドレイン領域22、ソース領域24のいずれかに電圧が印加された場合にも、Si基板10とドレイン領域22またはソース領域24との界面付近の空乏層を小さく抑えることができ、従ってドレイン電界のチャンネル下部の電位への影響を抑制することができるから電気力線が発生することがない。従って、チャンネル領域26の下方部の電位が他のチャンネル部分に比べ高くなることがないので、他のチャンネル部に先駆けてオンセットされることがない。

【0015】また、基板10および突出部20の表面はすべてSiO<sub>2</sub>で形成される酸化膜30によって覆われており、チャンネル領域26の表面にはゲート電極32が形成されている。このため、この酸化膜30はゲート酸化膜として機能する。また、ゲート電極32は、外部と

の電氣的接続のため、基板10の所定の端部まで引き回されている。

【0016】このような半導体装置では、突出部20内に1つのMOSトランジスタが構成されている。従って、ドレイン領域22、ソース領域24にそれぞれドレイン電極、ソース電極を接続すれば、ゲート電極32への電圧の印加によって、チャンネル領域26の電位を制御しドレイン領域22→ソース領域24間の電流を制御することができる。この例では、形成されているMOSトランジスタがnチャンネルであるため、ゲート電極に正の電圧を印加することによって、電流が流れる。

【0017】特に、本実施例の装置によれば、突出部20の上端部で酸化膜30の下方に、所定の膜厚の酸化膜30が設けられている。従ってこのゲート酸化膜は、この部分の膜厚が側壁膜厚より厚くなっている、このため、チャンネル領域26の上端部のチャンネル部において、その上端部のゲート電圧の影響が弱められ、このチャンネル部の閾値電圧が従来より高くなって、他の部分に先駆けてオンセットされることがない。

【0018】さらに、トランジスタを縦型とし、チャンネル領域26をゲート電極32によって取り囲んでいるため、チャンネル領域全体の電位を所定の値に制御することができ、動作性能を非常に高いものとすることができる。

【0019】また、本発明に係る半導体装置について、他の実施例について図2にて説明する。構造は、先の実施例とほぼ同一であるが、本実施例においては、p+型の領域が素子分離部28のみならずその付近の基板10の途中に至るところまで形成されていることである。従って、ドレイン領域22、ソース領域24のいずれかに電圧が印加された場合にも、Si基板10とドレイン領域22またはソース領域24との界面付近からの空乏層の伸びをさらに抑制できる。このため、チャンネル領域26の下方部の電位が他のチャンネル部分に比べ高くなることがないので、他のチャンネル部に先駆けてオンセットされることがない。

【0020】また、本発明に係る半導体装置の製造方法について、図面に基づいて説明する。

【0021】本実施例の半導体装置の製造方法について、図3に基づいて説明する。まず、Si単結晶からなる基板10に高エネルギーイオン注入によって、所定の深さの部分にp+型の不純物（例えば、ボロン）を注入する(S1)。その後、Si単結晶からなる基板10表面上に、SiO<sub>2</sub>膜（またはSiN膜）による線幅0.1μm程度の線状パターンを形成する(S2)。この線状パターンの形成は、電子(EB)ビーム描画露光装置および多層レジスト露光技術などを利用した超微細パターンニング技術によって行う。そして、このSiO<sub>2</sub>（またはSiN）線状パターンをマスクとして、RIE(Reactive Ion Etching)などによ

て基板10に異方性エッチングを施し、所定の凹部40を形成して突出部20を形成する(S3)。次に、このマスクとして機能した $\text{SiO}_2$ パターン12を除去し、基板10の全表面を熱酸化し $\text{SiO}_2$ 酸化膜30を形成する(S4)。そして、全表面にポリシリコン層 $\text{Polys-Si}$ を形成した(S5)後、通常の写真リソグラフィにより、ゲート電極32を形成する(S6)。その後、イオン注入によりドレイン領域22、ソース領域24を形成する(本実施例では、例えばリンの注入による $n^+$ 領域の形成)。ここで、このイオン注入は、不純物の照射方向をマスク、電圧印加などによって斜め方向のみに限定する斜入射イオン注入装置によって行う(S7)。このイオン注入の後、ソース及びドレイン領域の酸化膜を除去したのち、必要に応じてアニール処理を行って各領域の結晶構造等を調整する。

【0022】なお、図3には、素子分離部のみに $p^+$ 型の領域を形成しているが、高エネルギーイオン注入の際に、深めに $p^+$ 型の不純物を注入すれば、基板10の途中に至るところまで $p^+$ 型の領域を形成することができる。

【0023】このように製造することによって、前述したようにチャンネル領域の下方部は、他のチャンネル部分と同様の電界密度となり、チャンネル領域の電界は一样になる。

【0024】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、チャンネル領域の下方部の不純物濃度をその上部に比べ濃くする、またはチャンネル領域の下方部及びその付近の半導体基板の不純物濃度をチャンネル領域の中央部から上方の部分に比べ濃くしたので、例えばドレイン領域に5Vを印加しても、ドレイン領域とその下

の $\text{Si}$ 基板との界面付近からの空乏層の伸びを小さく抑えることができ、ドレイン電界の影響がチャンネル直下の空乏層を通してチャンネル領域下部に及ぶのを防ぐことができる。このため、チャンネル領域の下方部は、他のチャンネル部分と同様の電位となり、チャンネル領域の電界は一样になる。従って、この下方部の閾値電圧( $V_{th}$ )は高くなり、他のチャンネル部分に先駆けてオンセットすることがない。また、ソースまたはドレイン領域のどちらかに電圧を印加し、未だトランジスタがオンの状態になっていない時には、その電圧が印加された領域の下端と $\text{Si}$ 基板との界面付近からリーク電流が印加されていない方の領域に流れることを抑制する。

【図面の簡単な説明】

【図1】半導体装置の第一の実施例の構成を示す斜視図である。

【図2】半導体装置の他の実施例の構成を示す斜視図である。

【図3】半導体装置の製造工程の説明図である。

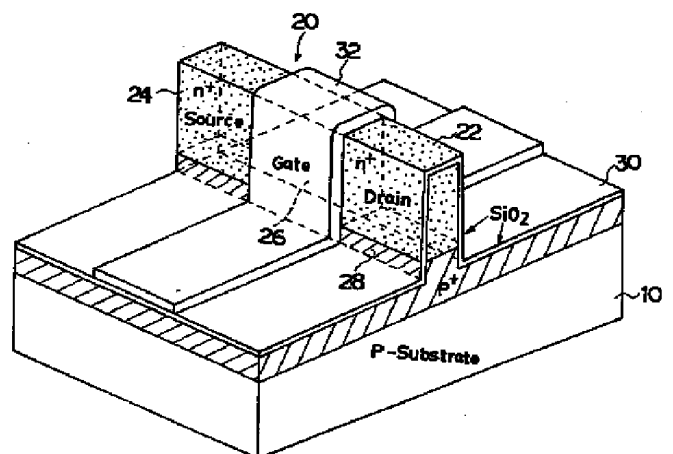
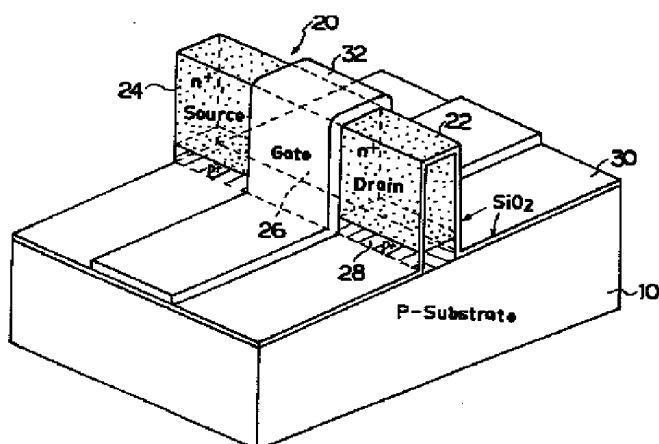
【図4】半導体装置における短チャンネル効果の発生の説明図である。

【符号の説明】

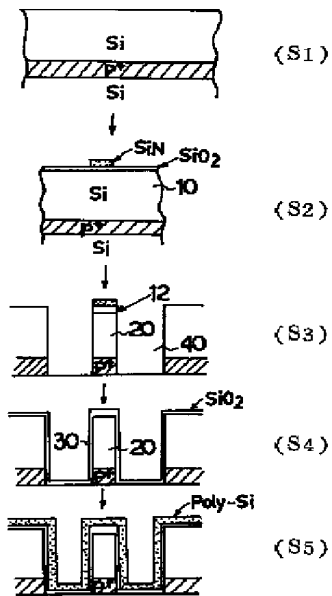
- 10 基板
- 12 線パターン用酸化膜
- 20 突出部
- 22 ドレイン領域
- 24 ソース領域
- 26 チャンネル領域
- 30 酸化膜
- 32 ゲート電極
- 40 凹部

【図1】

【図2】



【図3】



【図4】

